

501.43330X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): SATO, et al
Serial No.:
Filed: December 24, 2003
Title: DISPLAY DEVICE
Group:

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 24, 2003

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Patent Application No.(s) 2002-377197 filed December 26, 2002.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP


Hung H. Bui
Registration No. 40,415

HHB/nac
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 2 6 日
Date of Application:

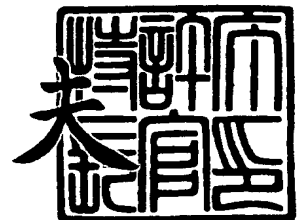
出 願 番 号 特 願 2 0 0 2 - 3 7 7 1 9 7
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 7 7 1 9 7]

出 願 人 株式会社 日立ディスプレイズ
Applicant(s): 日立デバイスエンジニアリング株式会社

2 0 0 3 年 9 月 1 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 330200329

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/20

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 佐藤 秀夫

【発明者】

【住所又は居所】 千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

【氏名】 佐藤 友彦

【発明者】

【住所又は居所】 神奈川県川崎市麻生区王禅寺 1 0 9 9 番地 株式会社日立製作所 システム開発研究所内

【氏名】 萬場 則夫

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 槇 正博

【発明者】

【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

【氏名】 仲尾 貴之

【特許出願人】

【識別番号】 502356528

【氏名又は名称】 株式会社日立ディスプレイズ

【特許出願人】

【識別番号】 000233088

【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置

【特許請求の範囲】

【請求項 1】 複数の画素を有する表示部と、
前記複数の画素に映像信号電圧を印加する複数の映像信号線と、
前記複数の映像信号線に映像信号電圧を供給する駆動回路とを備える表示装置であって、
前記駆動回路は、外部から入力される表示データを格納する格納回路と、
参照データを生成する参照データ発生回路と、
ランプ電圧を生成するランプ電圧発生回路と、
前記格納回路に格納された表示データと、前記参照データ発生回路で生成された参照データとを比較する複数の比較回路と、
前記比較回路での比較結果に基づき、前記ランプ電圧発生回路で生成されたランプ電圧をサンプリングし、当該サンプリングしたランプ電圧を映像信号電圧として各映像信号線に出力する複数のサンプリング回路とを有し、
前記参照データ発生回路で生成される参照データは、時間に対して非線形に変化することを特徴とする表示装置。

【請求項 2】 複数の画素を有する表示部と、
前記複数の画素に映像信号電圧を印加する複数の映像信号線と、
前記複数の映像信号線に映像信号電圧を供給する駆動回路とを備える表示装置であって、
前記駆動回路は、外部から入力される表示データを格納する格納回路と、
参照データを生成する参照データ発生回路と、
正極性のランプ電圧と負極性のランプ電圧とを生成するランプ電圧発生回路と、
前記格納回路に格納された表示データと、前記参照データ発生回路で生成された参照データとを比較する複数の比較回路と、
外部から入力される交流化信号と前記比較回路での比較結果とに基づき、前記ランプ電圧発生回路で生成された正極性ランプ電圧、あるいは負極性のランプ電

圧をサンプリングし、当該サンプリングしたランプ電圧を映像信号電圧として、各映像信号線に出力する複数のサンプリング回路とを有し、

前記参照データ発生回路で生成される参照データは、時間に対して非線形に変化することを特徴とする表示装置。

【請求項 3】 複数の画素を有する表示部と、

前記複数の画素に映像信号電圧を印加する複数の映像信号線と、

前記複数の映像信号線に映像信号電圧を供給する駆動回路とを備える表示装置であって、

前記駆動回路は、外部から入力される表示データを格納する格納回路と、

参照データを生成する参照データ発生回路と、

正極性のランプ電圧と負極性のランプ電圧とを生成するランプ電圧発生回路と、

前記格納回路に格納された表示データと、前記参照データ発生回路で生成された参照データとを比較する複数の比較回路と、

隣接する前記 2 つの比較回路の比較結果が入力され、隣接する映像信号線に互いに逆極性の映像信号電圧を出力するサンプリング回路とを有し、

前記サンプリング回路は、前記入力される前記 2 つの比較回路の中の一方向の比較回路の比較結果に基づき、前記ランプ電圧発生回路で生成された正極性のランプ電圧をサンプリングする第 1 サンプリング回路と、

前記入力される前記 2 つの比較回路の中の方の比較回路の比較結果に基づき、前記ランプ電圧発生回路で生成された負極性のランプ電圧をサンプリングする第 2 サンプリング回路と、

外部から入力される交流化信号に基づき、前記入力される 2 つの比較回路の中の一方向の比較回路の比較結果を前記第 1 サンプリング回路、あるいは、前記第 2 サンプリング回路に入力し、並びに、前記入力される 2 つの比較回路の中の方の比較回路の比較結果を前記第 2 サンプリング回路、あるいは、前記第 1 サンプリング回路に入力する第 1 スイッチング回路と、

前記交流化信号に基づき、前記 1 スイッチング回路での入れ替えに同期して、前記第 1 サンプリング回路でサンプリングした正極性のランプ電圧を映像信号電

圧として、前記隣接する映像信号線の中の一方の映像信号線、あるいは、他方の映像信号線に出力し、並びに、前記第2サンプリング回路でサンプリングした負極性のランプ電圧を映像信号電圧として、前記隣接する映像信号線の中の他方の映像信号線、あるいは、一方の映像信号線に出力する第2スイッチング回路とを有することを特徴とする表示装置。

【請求項4】 前記第2スイッチング回路の前段に、サンプリングしたランプ電圧を増幅するバッファアンプ回路を有することを特徴とする請求項3に記載の表示装置。

【請求項5】 前記参照データ発生回路で生成される参照データは、時間に対して非線形に変化することを特徴とする請求項3または請求項4に記載の表示装置。

【請求項6】 前記参照データ発生回路は、それぞれ周波数が異なる複数のクロックが入力され、選択制御信号に基づき前記複数のクロックの中から1つのクロックを選択する選択回路と、

前記選択回路で選択されたクロックをカウントし、そのカウント数を前記参照データとして出力するカウンタと、

予め設定されたカウント数と前記カウンタのカウント数とに基づき、前記選択回路で選択するクロックを指示する選択制御信号を、前記選択回路に対して送出する制御部とを有することを特徴とする請求項1、請求項2、または請求項5に記載の表示装置。

【請求項7】 前記制御部は、予め設定されたカウント数を格納する複数のレジスタと、

前記各レジスタに格納されたカウント数と、前記カウンタのカウント数とを比較する複数の比較器と、

前記複数の比較器での比較結果に基づき、前記選択制御信号を生成する制御回路とを有することを特徴とする請求項6に記載の表示装置。

【請求項8】 前記駆動回路は、前記表示部が形成される基板上に、薄膜トランジスタを用いて一体に形成されることを特徴とする請求項1ないし請求項7に記載の表示装置。

【発明の詳細な説明】**【0 0 0 1】****【発明の属する技術分野】**

本発明は、表示装置に係わり、特に、各画素に印加する映像信号電圧のガンマ補正に適用して有効な技術に関する。

【0 0 0 2】**【従来の技術】**

T F T (Thin Film Transistor) 方式の液晶表示モジュールは、ノート型パーソナルコンピュータ等の表示装置として広く使用されている。

この液晶表示モジュールとして、薄膜トランジスタ (T F T) をポリシリコン上に形成するものも (以下、ポリシリコン型の液晶表示モジュールという) 知られている。

このポリシリコン型の液晶表示モジュールにおいて、1 水平走査ライン期間内の表示データを格納し、また、1 水平走査ライン期間内で逐次増加、あるいは、減少する参照データを発生し、前記格納された表示データと参照データとを比較し、一致した場合に、映像信号電圧発生回路で生成された映像信号電圧をサンプリングして、各画素に印加する方式 (以下、P W M方式という) が知られている (特許文献 1、特許文献 2 参照)。

前述した映像信号電圧発生回路で生成される映像信号電圧には、電圧波形が傾斜波の電圧 (以下、ランプ電圧という) が使用される。

【0 0 0 3】

なお、本願発明に関連する先行技術文献情報としては以下のものがある。

【特許文献 1】

特開平 6 - 1 7 8 2 3 8 号公報

【特許文献 2】

特開平 1 1 - 2 7 2 2 4 2 号公報

【0 0 0 4】**【発明が解決しようとする課題】**

前述の特許文献 1 にも記載されているように、各画素に印加する映像信号電圧

は、液晶の透過率カーブを考慮してガンマ補正する必要があるが、前述の特許文献 1、特許文献 2 に記載されている液晶表示装置では、このガンマ補正を、映像信号電圧発生回路で行なっている。

図 18 は、従来のガンマ補正の方法の一例を示す図であり、前述の特許文献 1 の図 7、あるいは、前述の特許文献 2 の図 14 に開示されているガンマ補正の方法を示す図である。

これらの図に示すように、前述の特許文献 1、特許文献 2 に記載されているガンマ補正の方法は、ランプ発生回路の出力を、必要とするガンマ特性に合わせて変調させる方法である。

具体的には、予めメモリ (MM) にガンマ特性を記憶し、このメモリ (MM) の値を順に読み出しデジタルアナログ変換器 (DAC) でアナログ電圧に変換する方法である。なお、図 18 において、AMP は、デジタルアナログ変換器 (DAC) で変換されたアナログ電圧を増幅するアンプ、RAMP はアンプ (AMP) から出力されるランプ電圧である。

【0005】

しかしながら、前述した方法では、高分解能のデジタルアナログ変換器が必要であり、そのため、高分解能デジタルアナログ変換器は回路規模が大きくなるとともに、精密な精度が要求されるので、表示パネルと同一基板上に形成することが困難であるという問題点があった。

また、ランプ発生回路の出力は、表示パネル内で、映像信号線 (ドレイン線) の配線容量によって遅延するが、この遅延による電圧誤差は、ランプ電圧の時間に対する傾きに依存する。

ガンマ補正を行なう場合、この傾斜は領域毎に異なり、その最大傾斜は高くなる。このため、誤差が大きくなるとともに、その誤差が領域毎に異なるという問題点があった。

【0006】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、ランプ電圧を変調することなく、各画素に印加する映像信号電圧のガンマ補正を行うことが可能な表示装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

本発明は、複数の画素を有する表示部と、前記複数の画素に映像信号電圧を印加する複数の映像信号線と、前記複数の映像信号線に映像信号電圧を供給する駆動回路とを備え、前記駆動回路が、外部から入力される表示データを格納する格納回路と、参照データを生成する参照データ発生回路と、ランプ電圧を生成するランプ電圧発生回路と、前記格納回路に格納された表示データと、前記参照データ発生回路で生成された参照データとを比較する複数の比較回路と、前記比較回路での比較結果に基づき、前記ランプ電圧発生回路で生成されたランプ電圧をサンプリングし、当該サンプリングしたランプ電圧を映像信号電圧として、各映像信号線に出力する複数のサンプリング回路とを有する表示装置であって、前記参照データ発生回路で生成される参照データを、時間に対して非線形に変化させたことを特徴とする。

【0008】

ここで、前記参照データ発生回路は、それぞれ周波数が異なる複数のクロックが入力され、選択制御信号に基づき前記複数のクロックの中から1つのクロックを選択する選択回路と、前記選択回路で選択されたクロックをカウントし、そのカウント数を前記参照データとして出力するカウンタと、予め設定されたカウント数と前記カウンタのカウント数とに基づき、前記選択回路で選択するクロックを指示する選択制御信号を、前記選択回路に対して送出する制御部とを有する。

また、前記制御部は、予め設定されたカウント数を格納する複数のレジスタと、前記各レジスタに格納されたカウント数と、前記カウンタのカウント数とを比較する複数の比較器と、前記複数の比較器での比較結果に基づき、前記選択制御信号を生成する制御回路とを有する。

また、本発明において、ランプ電圧発生回路は、正極性のランプ電圧と負極性

のランプ電圧とを生成し、前記サンプリング手段は、前記外部から入力される交流化信号と前記比較回路での比較結果とに基づき、ランプ電圧発生手段で生成された正極性ランプ電圧、あるいは負極性のランプ電圧をサンプリングし、当該サンプリングしたランプ電圧を映像信号電圧として各映像信号線に出力することを特徴とする。

【0 0 0 9】

また、本発明において、ランプ電圧発生回路は、正極性のランプ電圧と負極性のランプ電圧とを生成し、前記サンプリング回路は、入力される2つの比較回路の中の一方向の比較回路の比較結果に基づき、前記ランプ電圧発生回路で生成された正極性のランプ電圧をサンプリングする第1サンプリング回路と、入力される2つの比較回路の中の方の比較回路の比較結果に基づき、前記ランプ電圧発生回路で生成された負極性のランプ電圧をサンプリングする第2サンプリング回路と、外部から入力される交流化信号に基づき、前記入力される2つの比較回路の中の一方向の比較回路の比較結果を前記第1サンプリング回路、あるいは、前記第2サンプリング回路に入力し、並びに、前記入力される2つの比較回路の中の方の比較回路の比較結果を前記第2サンプリング回路、あるいは、前記第1サンプリング回路に入力する第1スイッチング回路と、前記交流化信号に基づき、前記1スイッチング回路での入れ替えに同期して、前記第1サンプリング回路でサンプリングした正極性のランプ電圧を映像信号電圧として、隣接する映像信号線の中の一方向の映像信号線、あるいは、他方の映像信号線に出力し、並びに、前記第2サンプリング回路でサンプリングした負極性のランプ電圧を映像信号電圧として、隣接する映像信号線の中の方の映像信号線、あるいは、一方の映像信号線に出力する第2スイッチング回路とを有する。

【0 0 1 0】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。

なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

〔実施の形態1〕

図1は、本発明の実施の形態の液晶表示装置の概略構成を示すブロック図である。本実施の形態の液晶表示装置は、薄膜トランジスタ（TFT）をポリシリコン上に形成したポリシリコン型の液晶表示モジュールである。

本実施の形態の液晶表示装置は、ドレインドライバ100と、タイミング制御回路200と、参照データ発生回路300と、ランプ電圧発生回路400と、ゲートドライバ500と、表示部800とで構成される。

表示部800には、マトリクス状に配置される複数の画素と、各画素に映像信号電圧を供給するドレイン信号線Dと、各画素に走査信号電圧を供給するゲート信号線Gとが形成される。

【0011】

各画素は、薄膜トランジスタで構成される画素トランジスタ（GTFT）を備え、この画素トランジスタ（GTFT）は、ドレイン信号線Dと画素電極（ITO1）との間に接続され、かつ、ゲートはゲート信号線Gに接続される。

画素電極（ITO1）と対向電極（コモン電極ともいう；図示せず）との間には、液晶が封入されるので、画素電極（ITO1）と対向電極との間には、画素容量（CLC）が等価的に接続される。

なお、図1では、図示の簡略化のため、画素トランジスタ（GTFT）は、1個のみを図示している。

ドレインドライバ100は、シフトレジスタ110と、ラッチ回路120と、ラッチ回路130と、コンパレータ140と、サンプルホールド回路150とで構成される。

【0012】

タイミング制御回路200には、クロック（CLK）、水平同期信号（Hs）、垂直同期信号（Vs）、表示タイミング信号（DTMG）、並びに、表示データ（Di）が入力され、タイミング制御回路200は、ドレインドライバ100、参照データ発生回路300、ランプ電圧発生回路400、並びに、ゲートドライバ500を制御する信号を生成する。

以下、本実施の形態の液晶表示装置の駆動方法について説明する。

なお、一般に、液晶表示装置は、液晶の劣化を防止するために、交流化駆動方

法が採用されるが、本実施の形態の液晶表示装置は、交流化駆動方法として、ドット反転法を採用している。

このドット反転法は、行方向および列方向において、互いに隣接する画素に印加される映像信号の極性が互いに逆極性となる駆動方法である。

シフトレジスタ110は、タイミング制御回路200から送出されるスタート信号(HST)とクロック信号(HCK)とで動作し、ラッチ回路120を制御する多相パルスを出力する。

ラッチ回路120は、この多相パルスに基づき、タイミング制御回路200から送出される表示データ(DATA)を、順次1水平走査ライン分保持する。

【0013】

ラッチ回路130は、タイミング制御回路200から送出される、1水平走査ライン分の表示データの転送終了のタイミング信号(LT)が入力されると、ラッチ回路120の表示データを同一のタイミングで一斉に保持する。

コンパレータ140は、ラッチ回路130に保持された表示データと、参照データ発生回路300から送出される参照データ(NCNT)との大小を比較する。

より詳しくは、タイミング制御回路200から送出される初期化信号(RS)で初期化された後、参照データ(NCNT)が表示データよりも小さいか、または等しい時にHighレベル(以下、Hレベルという)を出力する。

参照データ発生回路300は、タイミング制御回路200から送出されるクロック(CK)と初期化信号(RS)を入力とするアップカウンタである。

サンプルホールド回路150は、コンパレータ140の出力と、交流化信号(M, MB)、ランプ電圧発生回路400の出力(RAMP1, RAMP2)を入力とし、表示部800のドレイン線Dに映像信号電圧を出力する。

ここで、交流化信号(M)、交流化信号(MB)は、表示部800の画素電極に印加する映像信号電圧の極性を制御する論理信号であり、互いに反転する関係にあり、ライン毎、および、フレーム毎にそれらの論理は反転する。

【0014】

ランプ電圧発生回路400の出力(RAMP1)は正極性のランプ電圧、およ

び出力 (RAMP 2) は負極性のランプ電圧であり、出力 (RAMP 1) および出力 (RAMP 2) のそれぞれのランプ電圧は、その傾斜の絶対値はともに等しくされる。

サンプルホールド回路 150 は、交流化信号 (M, MB) の制御の元に、コンパレータ 140 の出力信号で、ランプ電圧 (RAMP 1) をスイッチング素子 (SWA) で、あるいはランプ電圧 (RAMP 2) をスイッチング素子 (SWB) でサンプリングし、このサンプリングした電圧を、映像信号電圧としてドレイン線 (D) に出力する。

図 1 の場合、交流化信号 (M) が H レベル、交流化信号 (MB) が L レベルの時、ドレイン線 (D1) には、正極性のランプ電圧 (RAMP 1) をサンプリングした電圧が出力され、ドレイン線 (D2) には、負極性のランプ電圧 (RAMP 2) をサンプリングした電圧が出力される。

また、交流化信号 (M) が L レベル、交流化信号 (MB) が H レベルの時、ドレイン線 (D1) には、負極性のランプ電圧 (RAMP 2) をサンプリングした電圧が出力され、ドレイン線 (D2) には、正極性のランプ電圧 (RAMP 1) をサンプリングした電圧が出力される。

【0015】

これにより、ドレイン線 D に出力する映像信号の極性を、隣り合うドレイン信号線の間で、1 水平ライン毎に反転することができる。なお、図 1 において、LS は、レベルシフト回路である。

ゲートドライバ 500 は、タイミング制御回路 200 から送出されるスタート信号 (VST)、クロック (VCK) で動作し、表示部 800 のゲート線 G に、順次 1 水平走査ライン期間、画素トランジスタ (GTFT) をオンとする走査信号を出力する。

以上の動作により、表示部 800 に画像が表示される。

本実施の形態では、交流化をサンプルホールド回路 150 で行なうので、ランプ電圧発生回路 400 から出力されるランプ電圧 (RAMP 1, RAMP 2) は、それぞれ正極性および負極性のまま極性を代えなくてもよいため、電圧振幅を低減し、消費電力を低減できる。

さらに、ランプ発生回路 400 の出カインピーダンスを低減し、遅延時間を短くできるので、高い品質の表示画像を得ることができる。

【0016】

本実施の形態では、前記ガンマ補正を、参照データ発生回路 300 で行っている。

図 2 は、図 1 に示す参照データ発生回路 300 の概略構成を示すブロック図である。

参照データ発生回路 300 は、分周回路 310 と、セクタ 320 と、カウンタ 330 と、レジスタ 340 と、コンパレータ 350 と、制御回路 360 とで構成される。

分周回路 310 は、入力クロック (CK) を分周して、4 つの分周信号 (f_1 , f_2 , f_3 , f_4) を出力する。なお、図 2 において、RS は初期化信号である。

f_0 を基準周波数とした時の、分周回路 310 の各出力の周波数は、それぞれ $f_1/f_0=1$ 、 $f_2/f_0=1/2$ 、 $f_3/f_0=1/4$ 、 $f_4/f_0=1/8$ である。

セクタ 320 は、制御回路 360 の出力信号に基づき、分周回路 310 から出力される 4 つの分周信号 (f_1 , f_2 , f_3 , f_4) から 1 つの信号 (入力信号 (f_{in})) を選択して、カウンタ 330 に出力する。

カウンタ 330 は、入力信号 (f_{in}) をカウントするアップカウンタである。

【0017】

レジスタ 340 には、ガンマ補正用のデータ ($N_1 \sim N_6$) が予め記憶されている。本実施の形態では、6 点の場合を示している。

コンパレータ 350 は、カウンタ 330 の出力値と、レジスタ 340 に格納されているガンマ補正データの値とを比較する。

制御回路 360 は、コンパレータ 350 の出力を入力として、セクタ 320 を制御する。

図 4 に、図 2 に示すカウンタ 330 のカウント値 (N_c) と、カウンタ 330

に入力される入力信号 (f_{in}) の周波数との関係を示す。

レジスタ 340 に記憶された値 ($N_1 \sim N_6$) と、カウンタ 330 のカウンタ値 (N_c) によって、カウンタ 330 の入力信号 (f_{in}) の周波数を、図 4 に示すように制御する。

図 5 は、参照データ発生回路 300 のカウンタ値の時間応答を示す図である。なお、この図 5 において、 T は時間であり、 N_c はカウント値である。

カウンタ 330 は、初期化信号 RS でリセットされ、その後、入力信号 (f_{in}) の周波数が、図 4 に示すように、 $f_4 \rightarrow f_3 \rightarrow f_2 \rightarrow f_1 \rightarrow f_2 \rightarrow f_3 \rightarrow f_4$ と変化する。

この場合に、参照データ発生回路 300 のカウント値 (N_c) は、入力信号 (f_{in}) の周波数が低い場合には傾斜が緩く、入力信号 (f_{in}) の周波数が高い場合には急峻となる。この結果、参照データ発生回路 300 のカウント値の時間応答は図 5 に示す特性となる。

【0018】

図 3 は、図 1 に示すランプ電圧発生回路 400 の回路構成を示す回路図である。

ランプ電圧発生回路 400 は、図 3 に示すように、正極性のランプ電圧 ($RAMP_1$) と、負極性のランプ電圧 ($RAMP_2$) を生成する 2 つのランプ発生回路で構成される。

ランプ電圧 ($RAMP_1$) を生成するランプ発生回路は、演算増幅器 411 と、インバータ 412 と、スイッチング素子 (413, 415) と、抵抗 414 と、コンデンサ 416 とで構成され、ランプ電圧 ($RAMP_2$) を生成するランプ発生回路は、演算増幅器 421 と、インバータ 422 と、スイッチング素子 (423, 425) と、抵抗 424 と、コンデンサ 426 とで構成する。

それぞれのランプ発生回路は、初期化信号 (RS) が H レベルとなると、スイッチング素子 (413, 423) がオフし、スイッチング素子 (415, 425) がオンする。

この状態では、それぞれのランプ発生回路は、ボルテージホロワ回路を構成するので、各出力は接地電位 (GND) となる。

次に、初期化信号 (RS) が L レベルとなると、スイッチング素子 (413, 423) がオンし、スイッチング素子 (415, 425) がオフする。

これにより、コンデンサ (416, 426) が充電されるので、ランプ電圧 (RAMP1) は時間と共に上昇し、ランプ電圧 (RAMP2) は時間と共に減少する。

【0019】

図6は、ランプ電圧発生回路400の時間応答を示す図である。なお、図6において、Tは時間、Vは電圧である。

図5に示す参照データ発生回路300のカウント値 (Nc) の時間応答と、図6に示すランプ電圧発生回路400の時間応答から、参照データ発生回路300のカウント値 (Nc) と、ランプ電圧発生回路400の出力電圧 (V) との関係は、参照データ発生回路300のカウント値 (Nc) の時間応答の逆関数となる。

すなわち、駆動する液晶の電圧と透過率の関係 (ガンマ特性) は、参照データ発生回路300のカウント値の時間応答を、このガンマ特性と相似の関係に設定することで補正できる。

このように、本実施の形態では、参照データ発生回路300を構成するカウンタ330の入力信号の周波数を、参照データ発生回路300のカウント値 (Nc) によって切換えることで、駆動する液晶のガンマ特性を補正することができる。

この方法では、ランプ電圧発生回路400から出力されるランプ電圧 (RAMP1, RAMP2) は常に一定の傾斜で良いので、ドレイン信号線Dに遅延があっても、その誤差の絶対値が一定であるため、表示画質への影響を軽減することができる。

【0020】

図7は、参照データ発生回路300に使用されるコンパレータ350の一例の回路構成を示す回路図である。

図7に示す回路は、3ビット入力のコンパレータであり、インバータ (31, 32, 33) と、OR回路 (34, 45, 36) と、AND回路37と、SRフ

リップフロップ 3 8 で構成する。

図 7 において、 a_0 、 a_1 、 a_2 がカウンタ 3 3 0 からの信号、 b_0 、 b_1 、 b_2 がレジスタ 3 4 0 から信号である。

図 8 に、図 7 に示すコンパレータ回路の真理値表を示す。この図 8 は、AND 回路 3 7 の出力 c について記載している。

カウンタ 3 3 0 のカウンタ値が、0 から増加する場合、出力 c が 0 から 1 に変化するのは、 b の値が、カウンタ 3 3 0 のカウンタ値と等しくなった時点である。

この出力 c を、SR フリップフロップ 3 8 に入力することで、その出力 d は、 $a \geq b$ で H レベルとなる。

図 9 に、図 7 に示すコンパレータ回路における、 $b = 0 1 1$ のときのタイミング図を示す。

出力 c は、 $a = 0 1 1$ と $a = 1 1 1$ で、H レベルとなり、SR フリップフロップ 3 8 の出力 d は、 $a \geq b$ で、H レベルとなる。

【 0 0 2 1 】

図 1 0 は、図 2 に示すカウンタ 3 3 0 の回路構成の一例を示す回路図である。

図 1 0 に示す回路は、4 ビットカウンタであり、ラッチ回路 3 8 0 とインクリメンタ 3 7 0 とで構成される。

ラッチ回路 3 8 0 は、D 型フリップフロップ (3 8 1 ~ 3 8 4) で構成され、クロック (CK) と、初期化信号 (RS) と、入力 ($e_{i0} \sim e_{i3}$) で動作し、クロック (CK) のタイミングで、入力 ($e_{i0} \sim e_{i3}$) をラッチし、出力 ($e_{o0} \sim e_{o3}$) を出力する。

インクリメンタ 3 7 0 は、AND 回路 (3 7 5 ~ 3 7 7) と、EOR 回路 (排他的論理和回路) (3 7 1 ~ 3 7 4) とで構成され、ラッチ回路 3 8 0 の出力に " 1 " を加算し、ラッチ 3 8 0 に入力する。

この構成により、クロック (CK) のタイミングで、ラッチ回路 3 8 0 の出力に " 1 " を加算する同期型のカウンタ 3 3 0 を実現できる。

図 1 0 に示すカウンタ 3 3 0 は、分周回路 3 1 0 にも適用可能である。

【 0 0 2 2 】

図 11 は、図 2 に示す制御回路 360 とセレクトア 320 の回路構成の一例を示す回路図である。

図 11 に示す制御回路 360 は、インバータ (361~366) と、AND 回路 (391~395) と、OR 回路 (396~398) とで構成され、コンパレータ 350 の出力を入力し、セレクトア信号 (s1~s4) を出力する。

セレクトア 320 は、AND 回路 (321~324) と、OR 回路 (325~327) とで構成され、セレクトア信号 (s1~s4) により、分周回路の出力信号 (f1~f4) の中の一つを選択し、入力信号 (fin) を出力する。

前述したように、コンパレータ 350 の出力は、 $C1 \rightarrow C2 \rightarrow C3 \rightarrow C4 \rightarrow C5 \rightarrow C6$ の順に H レベルとなる。仮に、コンパレータ 350 の出力 ($C1 \sim C6$) が L レベルの場合、セレクトア信号 (s1) が H レベルとなり、AND 回路 321 により、入力信号 (fin) として、周波数が f4 の分周信号が選択される。

次に、コンパレータ 350 の出力 ($C1$) が H レベルとなると、AND 回路 391 により、セレクトア信号 (s2) が H レベルとなり、AND 回路 322 により、入力信号 (fin) として、周波数が f3 の分周信号が選択される。

以下、同様にして、セレクトア 320 で選択される分周信号は、 $f4 \rightarrow f3 \rightarrow f2 \rightarrow f1 \rightarrow f2 \rightarrow f3 \rightarrow f4$ と変化する。

【0023】

図 12 は、図 2 に示すコンパレータ 350 をダイナミック回路で構成した場合の回路構成を示す回路図である。

図 12 に示す回路は、スイッチング素子 (41~48) と、インバータ (52~55) と、コンデンサ 51 とで構成される。

初期化信号 (RS) が H レベルで、スイッチング素子 41 がオフ、スイッチング素子 48 がオンし、出力は L レベルとなる。

次に、初期化信号 (RS) が L レベルとなると、スイッチング素子 41 がオン、スイッチング素子 48 がオフし、スイッチング素子 (42~47) によるスイッチング素子論理で出力 d を制御する。

スイッチング素子論理では、並列接続が論理和、直列接続が論理積となるので、スイッチング素子 (42~47) の構成は図 7 に示す回路と等価になる。

【0024】

図12に示すダイナミック回路を、薄膜トランジスタで構成した場合の回路構成を図13、図14に示す。

図13に示す回路が、P型MOSトランジスタ（以下、PMOSという）で、また、図14に示す回路が、N型MOSトランジスタ（以下、NMOSという）でスイッチング素子論理を構成したものである。

図15、16は、図3に示すランプ電圧発生回路400を構成する演算増幅器（411、421）を、薄膜トランジスタで構成した場合の回路構成を示す回路図である。

図15に示す回路が、正極性のランプ電圧（RAMP1）を生成するランプ発生回路に使用される演算増幅器で、図16に示す回路が、負極性のランプ電圧（RAMP2）を生成するランプ発生回路に使用される演算増幅器である。

図15に示す回路では、出力トランジスタ435をソース接地のPMOSトランジスタで構成し、この構成により、正極性のランプ電圧（RAMP1）を生成する際に、必要となる出力端子から掃出す方向の電流（ソース電流）を確保するとともに、出力電圧を電源電圧近傍まで高めることができる。

図16に示す回路では、出力トランジスタ445をソース接地のNMOSトランジスタで構成し、この構成で、負極性のランプ電圧（RAMP2）を生成する際に、必要となる出力端子に吸込む方向の電流（シンク電流）を確保するとともに、出力電圧を負の電源電圧近傍まで低くすることができる。

【0025】

[実施の形態2]

図17は、本発明の実施の形態2の液晶表示装置の概略構成を示すブロック図である。

前述の実施の形態と相異なる点は、サンプルホールド回路150の構成である。

本実施の形態では、サンプルホールド回路150内に正極性のランプ電圧（RAMP1）を増幅するバッファアンプ（BAA）と、負極性のランプ電圧（RAMP2）を増幅するバッファアンプ（BAB）とを設け、ドレイン信号線Dをバ

ッファアンプで駆動するものである。

この結果、ランプ電圧発生回路 400 の表示画像による負荷変動を抑制できるので、高品質の画像を表示することができる。

なお、バッファアンプ (BAA) と、バッファアンプ (BAB) とは、隣接する 2 つのドレイン信号線 (例えば、図 17 に示すドレイン信号 (D1) とドレイン信号線 (D2)) 毎に設けられ、2 つのドレイン信号線で、バッファアンプ (BAA) と、バッファアンプ (BAB) とを兼用する。

そのため、本実施の形態では、サンプルホールド回路 150 には、隣接する 2 つのドレイン信号線に対応する 2 つのコンパレータ 140 の出力が入力される。

【0026】

そして、交流化信号 (M, MB) で制御されるスイッチング素子 (SW1) により、一方のコンパレータ 140 の出力を、正極性のランプ電圧 (RAMP1) をサンプリングするスイッチング素子 (SWA)、あるいは、負極性のランプ電圧 (RAMP2) をサンプリングするスイッチング素子 (SWB) に出力し、同時に、他方のコンパレータ 140 の出力を、スイッチング素子 (SWB)、あるいは、スイッチング素子 (SWA) に出力する。

また、交流化信号 (M, MB) で制御されるスイッチング素子 (SW2) により、正極性のランプ電圧 (RAMP1) を増幅するバッファアンプ (BAA) の出力を、一方のドレイン信号線、あるいは、他方のドレイン信号線に出力し、同時に、負極性のランプ電圧 (RAMP2) を増幅するバッファアンプ (BAB) の出力を、他方のドレイン信号線、あるいは、一方のドレイン信号線に出力する。

【0027】

例えば、図 17 の場合、交流化信号 (M) が H レベル、交流化信号 (MB) が L レベルの時、ドレイン信号線 (D1) に対応するコンパレータ 140 の出力は、スイッチング素子 (SWA) に、並びに、ドレイン信号線 (D2) に対応するコンパレータ 140 の出力は、スイッチング素子 (SWB) に入力され、そして、ドレイン線 (D1) には、バッファアンプ (BAA) の出力電圧が、並びに、ドレイン線 (D2) には、バッファアンプ (BAB) の出力電圧が出力される。

また、交流化信号 (M) が L レベル、交流化信号 (MB) が H レベルの時、ドレイン信号線 (D1) に対応するコンパレータ 140 の出力は、スイッチング素子 (SWB) に、並びに、ドレイン信号線 (D2) に対応するコンパレータ 140 の出力は、スイッチング素子 (SWA) に入力され、そして、ドレイン線 (D1) には、バッファアンプ (BAB) の出力電圧が、並びに、ドレイン線 (D2) には、バッファアンプ (BAA) の出力電圧が出力される。

これにより、ドレイン線 D に出力する映像信号の極性を、隣り合うドレイン信号線の間で、1 水平走査ライン毎に反転することができる。

【0028】

以上説明したように、液晶に印加する映像信号電圧のガンマ補正を、参照データ発生回路 300 で行うようにしたので、ランプ電圧発生回路 400 から出力されるランプ電圧を、一定傾斜にすることができ、このため、ドレイン信号線 D 上で、ランプ電圧の電圧波形に遅延があっても、その誤差を一定にすることが可能となり、高精度のドレインドライバに適用することができる。

また、参照データ発生回路 300 は論理回路で実現でき、表示部 800 と同一基板に形成し易く、その上、ガンマ補正のためのデータはレジスタに保存するので、製品毎またはパネル毎と個別に設定することができる。

また、ランプ電圧発生回路 400 から出力されるランプ電圧 (RAMP1, RAMP2) は、それぞれ正極性および負極性のまま極性を変えなくて良いので、回路を簡略化できるばかりか、表示部 800 と同一基板に形成することができる。

【0029】

したがって、本実施の形態の液晶表示装置によれば、出荷時にガンマ補正を個別に行なうことや温度によって補正值を変化させる温度補償を行なうことで、より高品位のディスプレイを実現することができる。

また、ドレインドライバとその周辺回路を、表示部 800 と同一基板に形成することで、部品点数、接続端子数を少なくできるので、信頼性の高いディスプレイを実現することができる。

さらに、交流化をサンプルホールド回路 150 で行うので、ランプ電圧発生回

路 400 から出力されるランプ電圧 (RAMP 1, RAMP 2) は、それぞれ正極性および負極性のまま極性を変えなくて良い。このため、電圧振幅を低減し、消費電力を低減することができる。

さらに、ランプ発生回路 400 の出力インピーダンスを低減し、遅延時間を短くできるので、高い品質の表示画像を得ることができる。

なお、前述の説明では、本発明を、液晶表示モジュールに適用した実施の形態について説明したが、本発明はこれに限定されるものではなく、本発明は、EL 表示装置などの他の表示装置にも適用可能であることはいうまでもない。

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0030】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

(1) 本発明の表示装置によれば、ガンマ補正のためのデータをレジスタに保存するので、製品毎またはパネル毎と個別に設定することができ、出荷時にガンマ補正を個別に行うこと、あるいは、温度によって補正值を変化させる温度補償を行なうことでより高品位のディスプレイを実現することが可能となる。

(2) 本発明の表示装置によれば、駆動回路を表示部と同一基板に形成することができるので、部品点数、接続端子数を少なくでき、信頼性の高いディスプレイを実現することが可能となる。

(3) 本発明の表示装置によれば、ランプ電圧発生回路の電圧振幅を低減し、消費電力を低減できるとともに、ランプ発生回路の出力インピーダンスを低減し、遅延時間を短くできるので、高い品質の表示画像を得ることが可能となる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 の液晶表示装置の概略構成を示すブロック図である。

【図 2】

図 1 に示す参照データ発生回路の概略構成を示すブロック図である。

【図 3】

図 1 に示すランプ電圧発生回路の回路構成を示す回路図である。

【図 4】

図 2 に示すカウンタのカウント値 (N_c) と、カウンタに入力される入力信号 (f_{in}) の周波数との関係を示す図である。

【図 5】

図 1 に示す参照データ発生回路のカウント値の時間応答を示す図である。

【図 6】

図 1 に示すランプ電圧発生回路の時間応答を示す図である。

【図 7】

図 1 に示す参照データ発生回路に使用されるコンパレータの一例の回路構成を示す回路図である。

【図 8】

図 7 に示すコンパレータ回路の真理値表を示す図である。

【図 9】

図 7 に示すコンパレータ回路における、 $b = 011$ のときのタイミング図である。

【図 10】

図 2 に示すカウンタの回路構成の一例を示す回路図である。

【図 11】

図 2 に示す制御回路とセレクタの回路構成の一例を示す回路図である。

【図 12】

図 2 に示すコンパレータをダイナミック回路で構成した場合の回路構成を示す回路図である。

【図 13】

図 12 に示すダイナミック回路を、薄膜トランジスタで構成した場合の回路構成を示す回路図である。

【図 14】

図12に示すダイナミック回路を、薄膜トランジスタで構成した場合の回路構成を示す回路図である。

【図15】

図3に示すランプ電圧発生回路を構成する演算増幅器を、薄膜トランジスタで構成した場合の回路構成を示す回路図である。

【図16】

図3に示すランプ電圧発生回路を構成する演算増幅器を、薄膜トランジスタで構成した場合の回路構成を示す回路図である。

【図17】

本発明の実施の形態2の液晶表示装置の概略構成を示すブロック図である。

【図18】

従来のガンマ補正の方法の一例を示す図である。

【符号の説明】

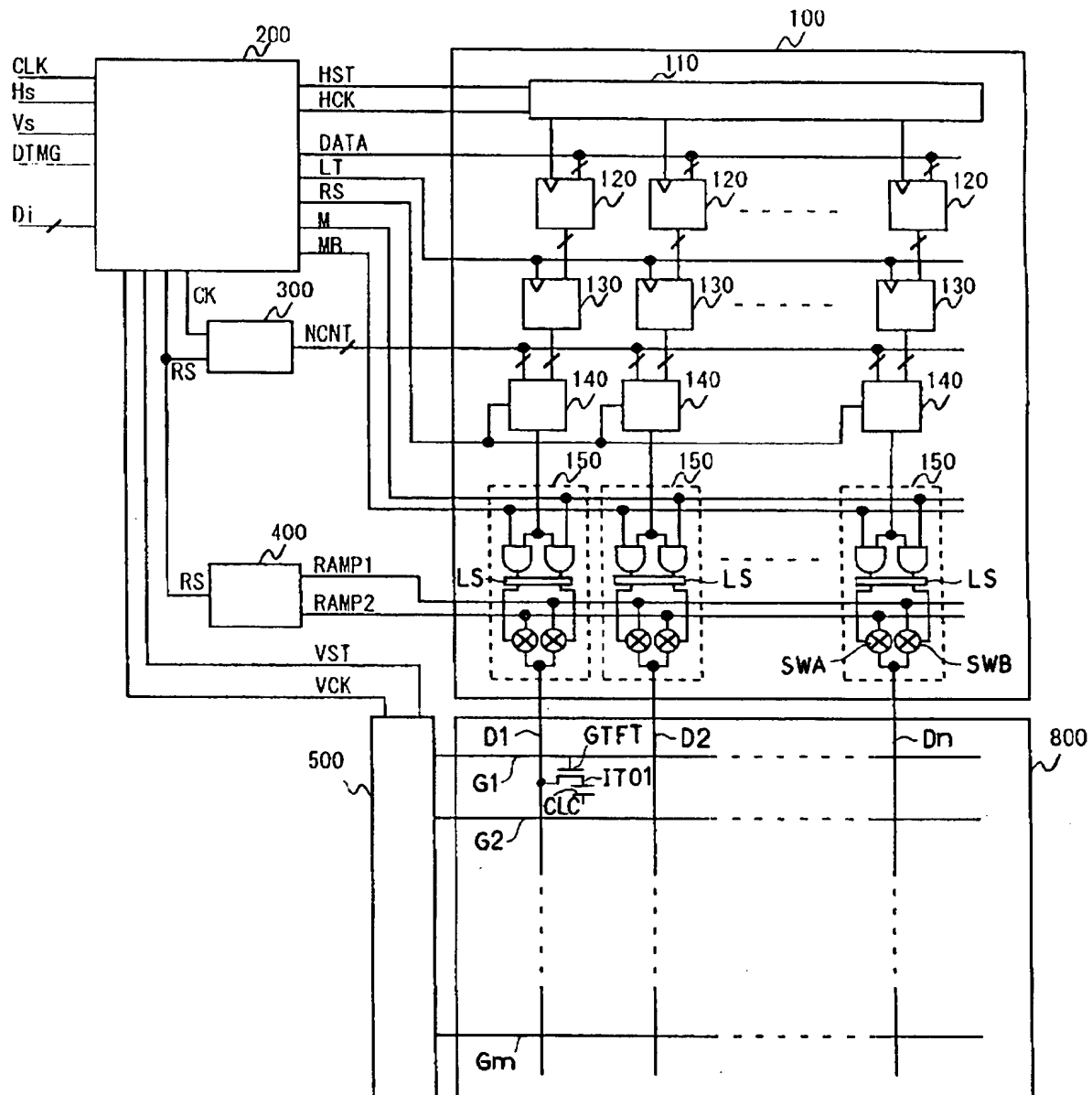
31, 32, 33, 52~55, 72~74, 92~97, 361~366, 412, 422…インバータ、34, 35, 36, 325~327, 396~398…OR回路、37, 321~324, 375~377, 391~395…AND回路、38…SRフリップフロップ回路、41~48, 413, 415, 423, 425, SW1, SW2, SWA, SWB…スイッチング素子、51, 71, 91, 415, 425…コンデンサ、61~67, 81, 433~435, 441, 442, 447~449…P型MOSトランジスタ、82~88, 431, 432, 437~439, 443~445…N型MOSトランジスタ、100…ドレインドライバ、110…シフトレジスタ、120, 130, 380…ラッチ回路、140, 350…コンパレータ、150…サンプルホールド回路、200…タイミング制御回路、300…参照データ発生回路、310…分周回路、320…セレクタ、330…カウンタ、340…レジスタ、360…制御回路、370…インクリメンタ、371~374…EOR回路、381~384…D型フリップフロップ回路、400…ランプ電圧発生回路、411, 421…演算増幅器、414, 424, 436, 446…抵抗、500…ゲートドライバ、800…表示部、BAA, BAB…バッファアンプ、LS…レベルシフト回路、G

T F T…画素トランジスタ、D…ドレイン信号線、G…ゲート信号線、MM…メモリ、D A C…デジタルアナログ変換器。

【書類名】 図面

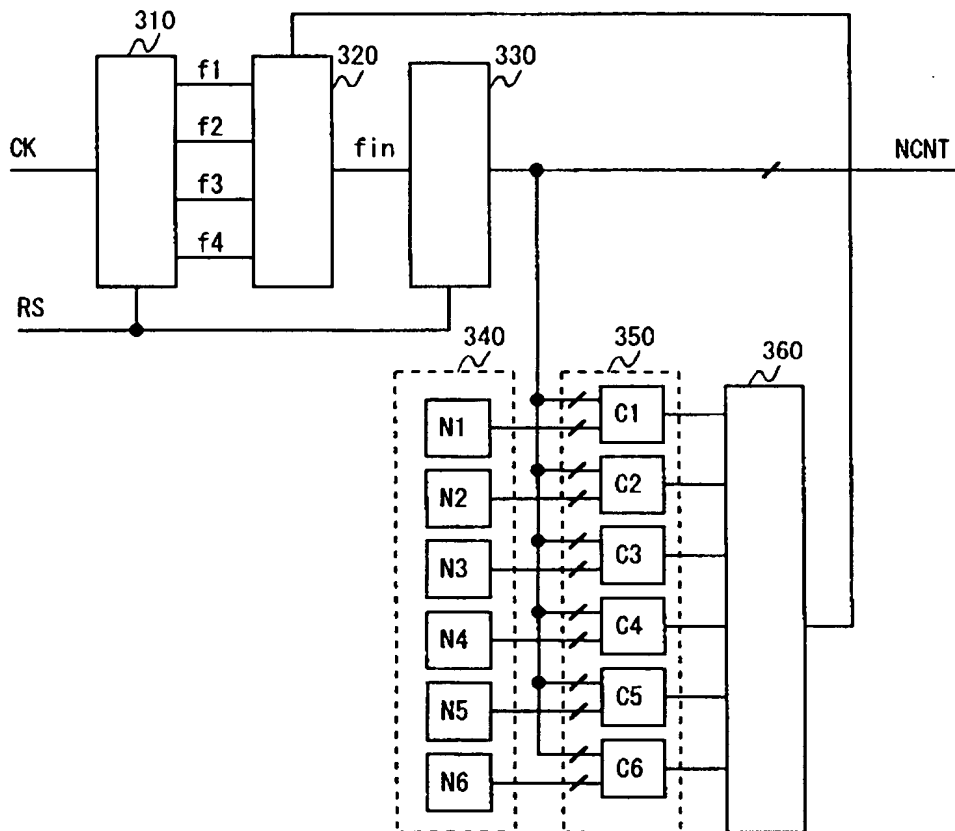
【図 1】

図 1



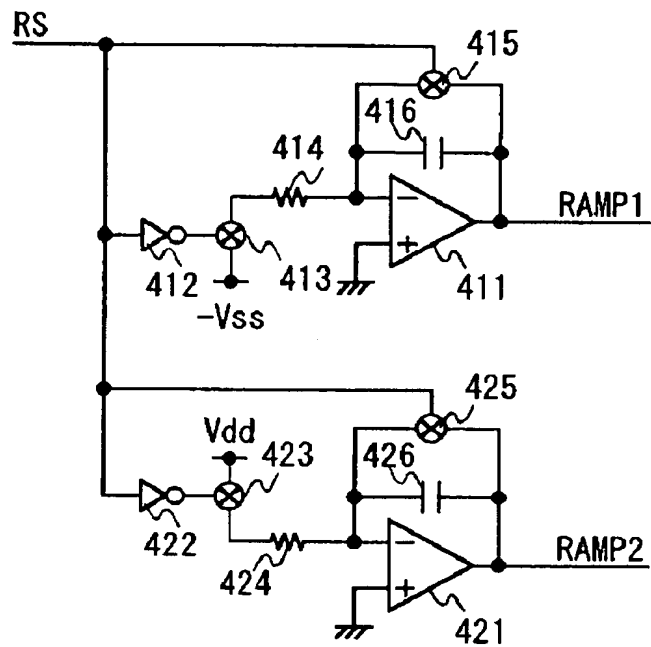
【図 2】

図 2



【図 3】

図 3



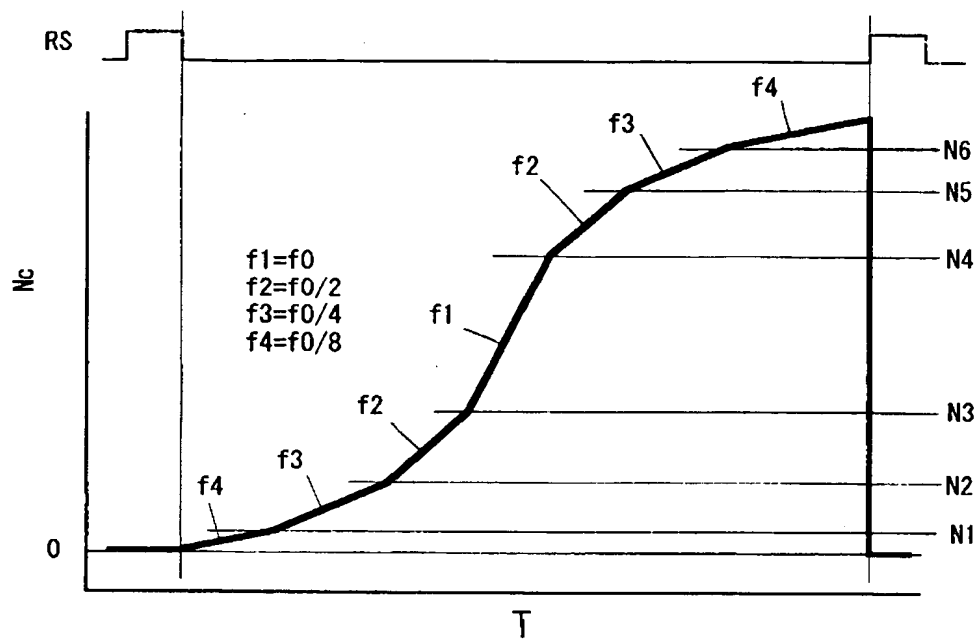
【図 4】

図 4

N_c	f_i
$N_c \leq N_1$	f_4
$N_1 < N_c \leq N_2$	f_3
$N_2 < N_c \leq N_3$	f_2
$N_3 < N_c \leq N_4$	f_1
$N_4 < N_c \leq N_5$	f_2
$N_5 < N_c \leq N_6$	f_3
$N_6 < N_c$	f_4

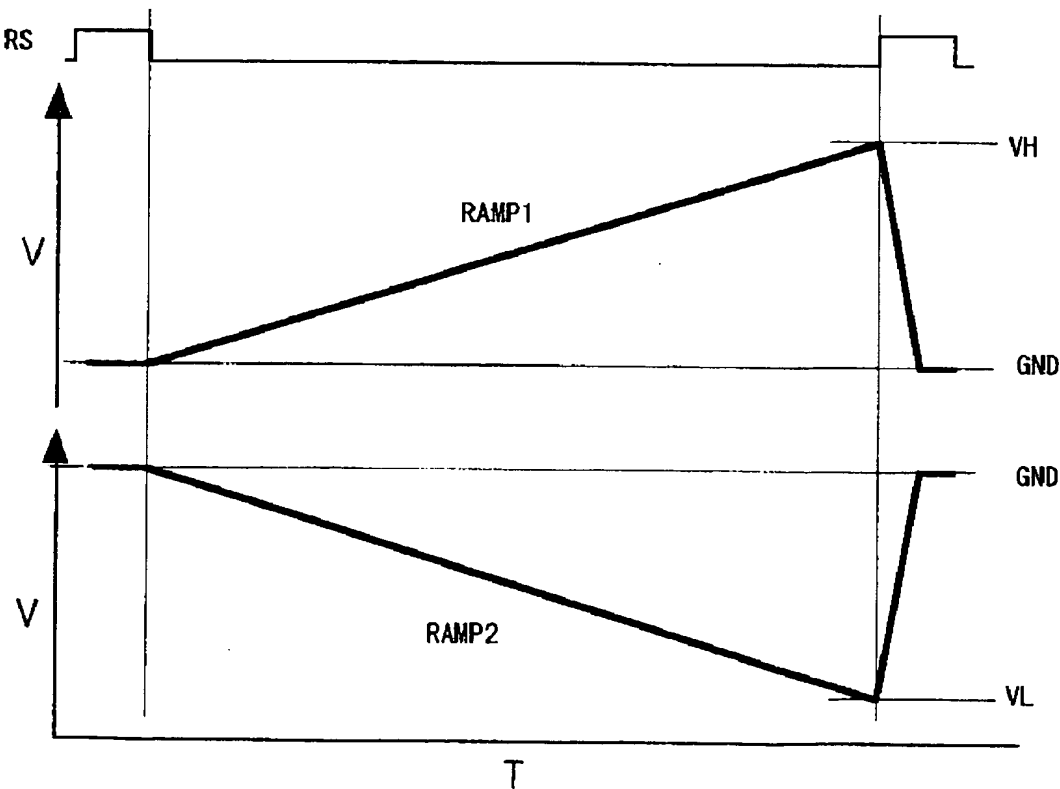
【図 5】

図 5



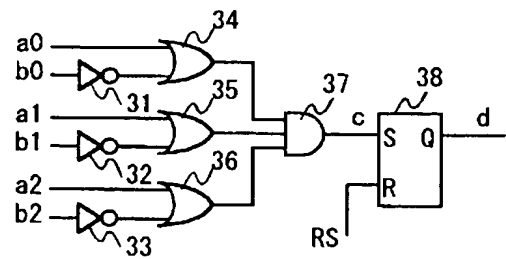
【図 6】

図 6



【図 7】

図 7



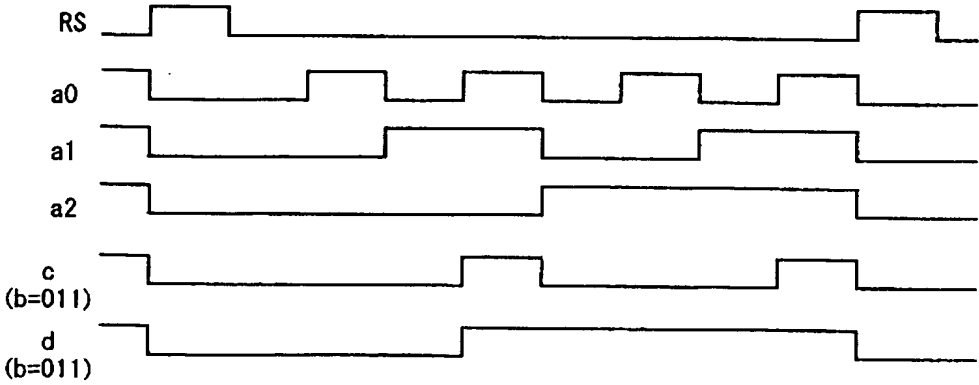
【図 8】

図 8

a2	a1	a0	c							
			b=000	b=001	b=010	b=011	b=100	b=101	b=110	b=111
0	0	0	1	0	0	0	0	0	0	0
0	0	1	1	1	0	0	0	0	0	0
0	1	0	1	0	1	0	0	0	0	0
0	1	1	1	1	1	1	0	0	0	0
1	0	0	1	0	0	0	1	0	0	0
1	0	1	1	1	0	0	1	1	0	0
1	1	0	1	0	1	0	1	0	1	0
1	1	1	1	1	1	1	1	1	1	1

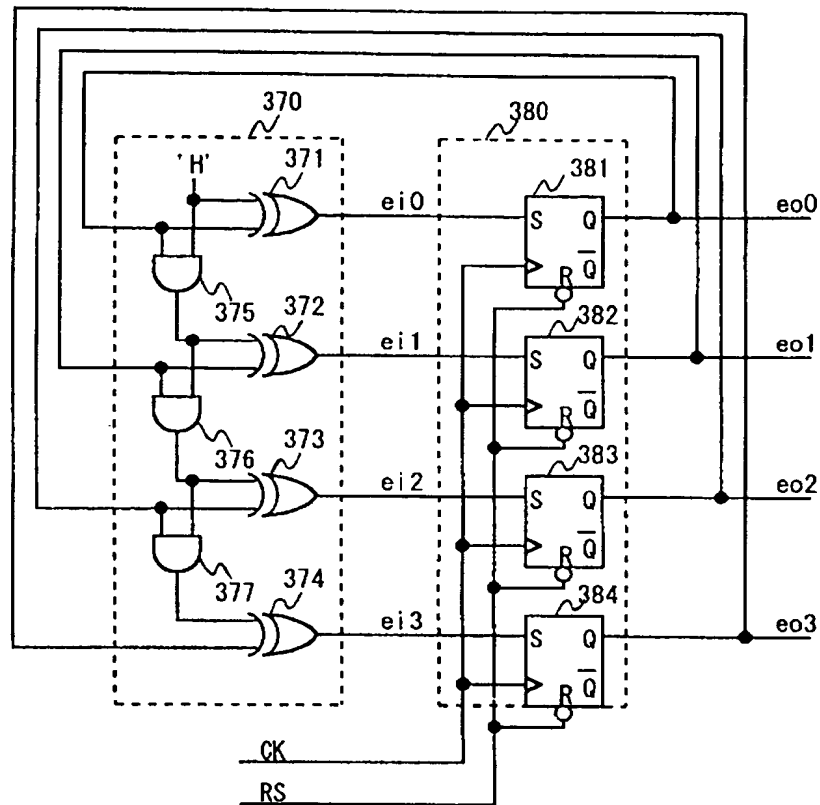
【図 9】

図 9



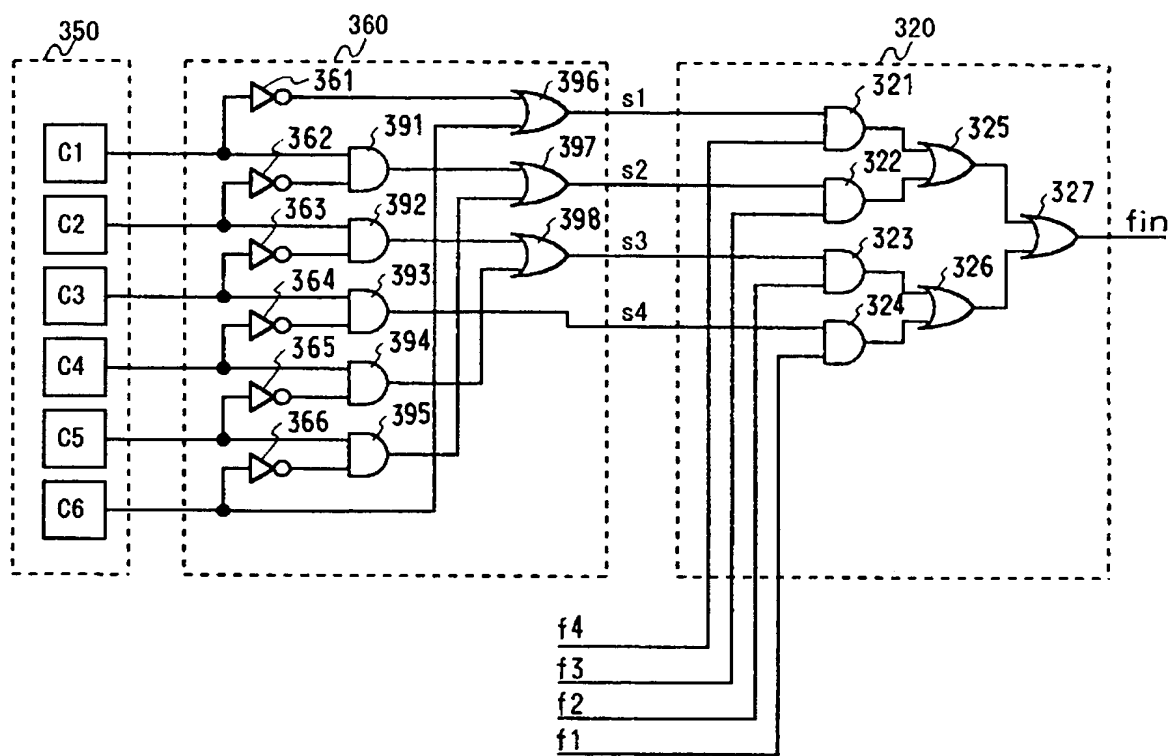
【図 10】

図 10



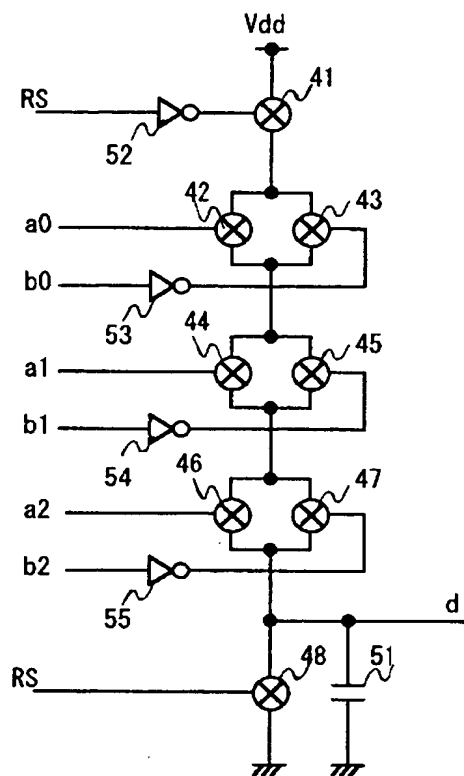
【図 11】

図 11



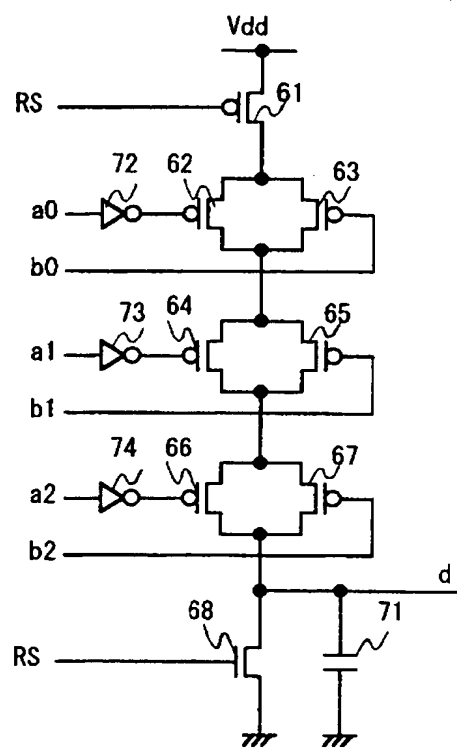
【図 12】

図 12



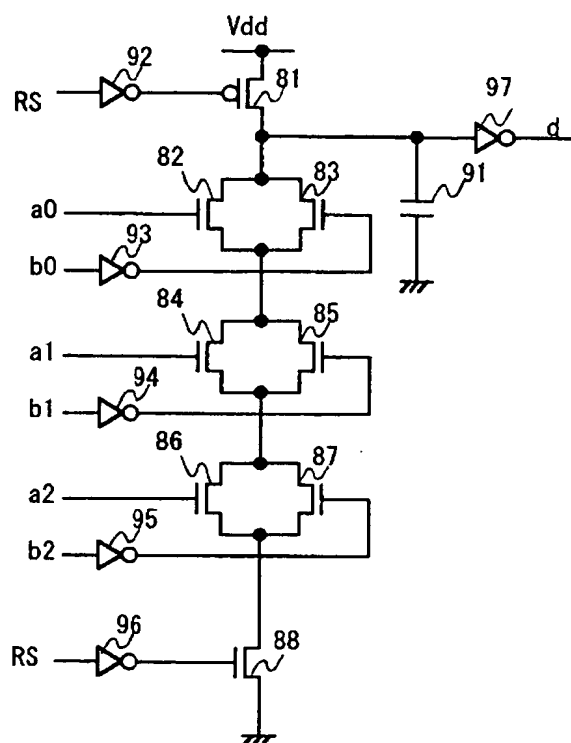
【図 13】

図 13



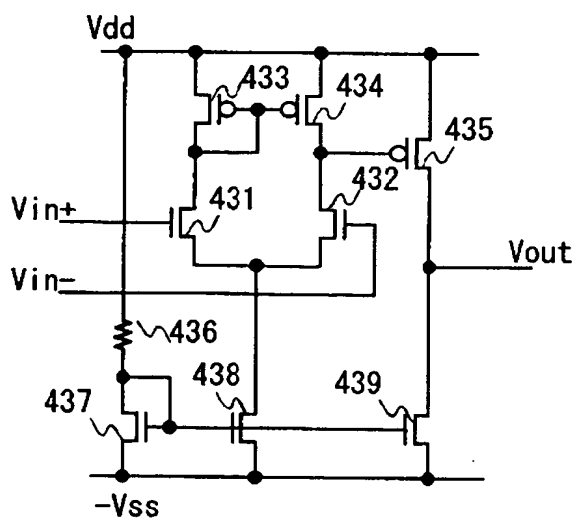
【图 14】

図 14



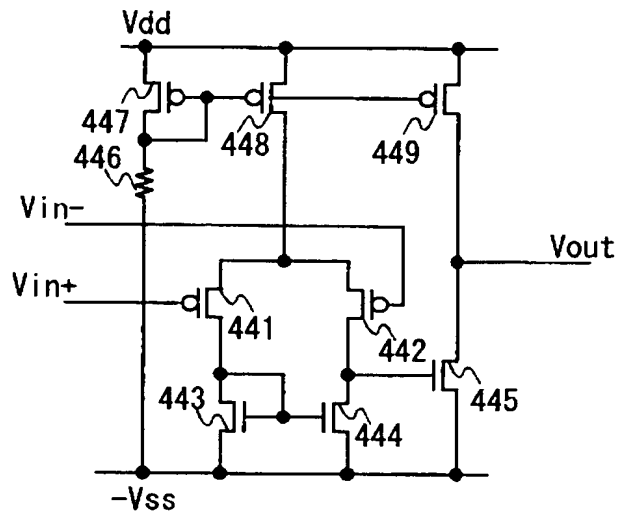
【図 15】

图 15



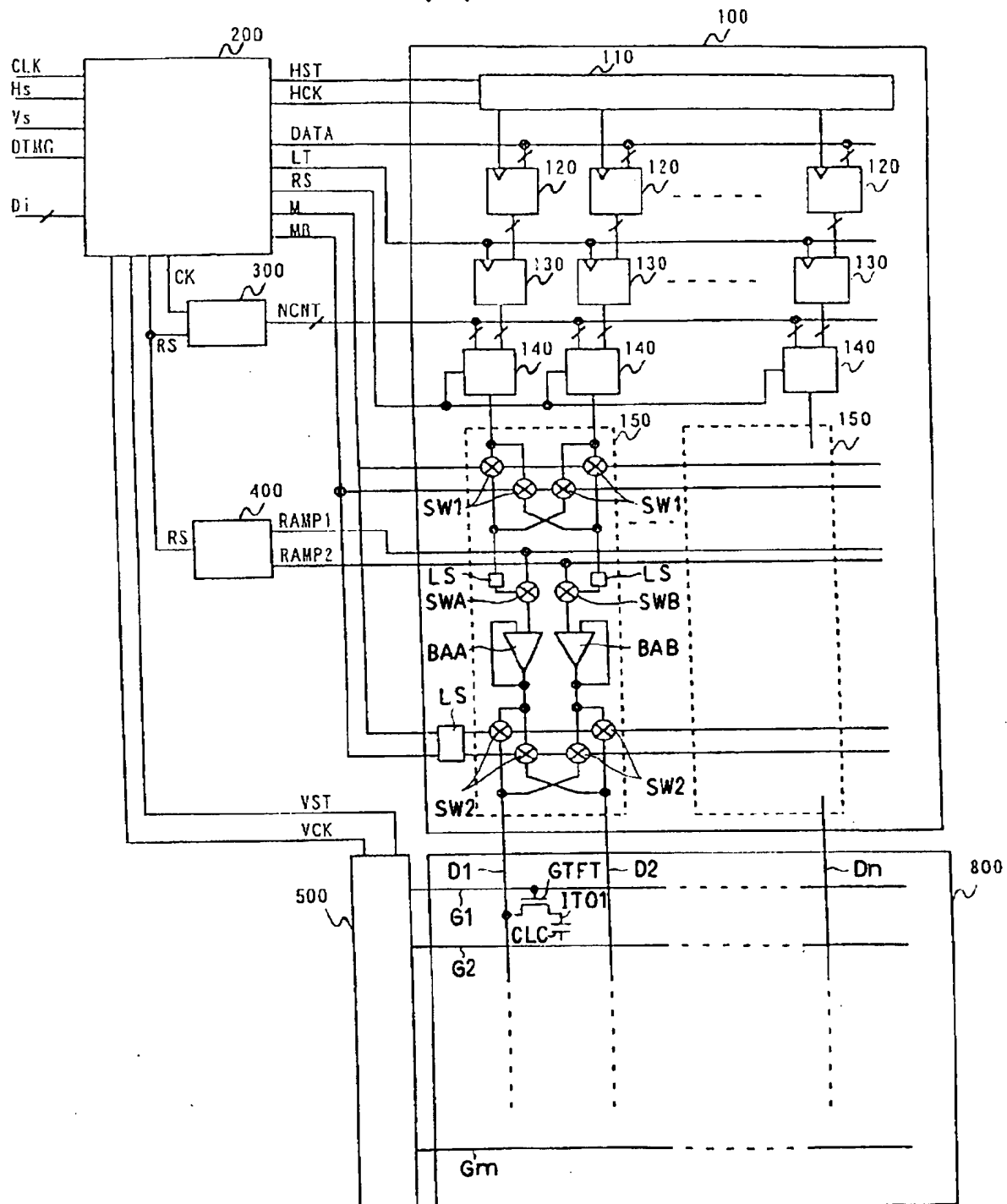
【図 16】

図 16



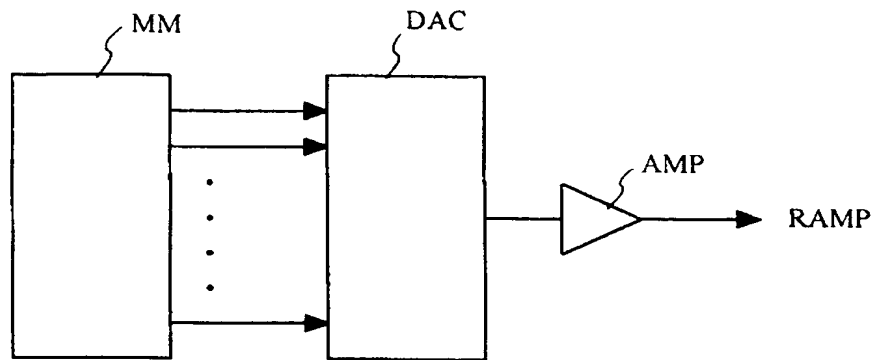
【図 17】

図 17



【図 18】

図 18



【書類名】 要約書

【要約】

【課題】 ランプ電圧を変調することなく、各画素に印加する映像信号電圧のガンマ補正を行うことが可能な表示装置を提供する。

【解決手段】 複数の映像信号線に映像信号電圧を供給する駆動回路を備え、前記駆動回路は、外部から入力される表示データを格納する格納回路と、参照データを生成する参照データ発生回路と、ランプ電圧を生成するランプ電圧発生回路と、前記格納回路に格納された表示データと、前記参照データ発生回路で生成された参照データとを比較する複数の比較回路と、前記比較回路での比較結果に基づき、前記ランプ電圧発生回路で生成されたランプ電圧をサンプリングし、当該サンプリングしたランプ電圧を映像信号電圧として、各映像信号線に出力する複数のサンプリング回路とを有し、前記参照データ発生回路で生成される参照データが、時間に対して非線形に変化する。

【選択図】 図 5

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 3 7 7 1 9 7
受付番号	5 0 2 0 1 9 7 5 6 6 9
書類名	特許願
担当官	第一担当上席 0 0 9 0
作成日	平成 1 5 年 1 月 6 日

< 認定情報・付加情報 >

【提出日】	平成14年12月26日
-------	-------------

次頁無

特願 2 0 0 2 - 3 7 7 1 9 7

出 願 人 履 歴 情 報

識別番号

[5 0 2 3 5 6 5 2 8]

1. 変更年月日

2 0 0 2 年 1 0 月 1 日

[変更理由]


新規登録

住 所

千葉県茂原市早野 3 3 0 0 番地

氏 名

株式会社 日立ディスプレイズ



特願 2 0 0 2 - 3 7 7 1 9 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 0 8 8]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 6 8 1 番地

氏 名

日立デバイスエンジニアリング株式会社